

## FPGA 内 BGA 欠陥のリアルタイム BIST 検出

James P. Hofmeister, Justin Judkins, PhD, Edgar Ortiz, Douglas Goodman,  
Ridgetop Group, Inc.  
6595 North Oracle Road,  
Tucson, Arizona 85704 USA  
Hoffy@ridgetop-group.com Justin@ridgetop-group.com

Pradeep Lall, PhD,  
Auburn University,  
Auburn, Alabama 36849 USA  
lall@eng.auburn.edu

**要約** 本稿では、運用時、完全にプログラムされた FPGA の高抵抗や偶発性欠陥を検出する Solder Joint BIST を紹介する。ダメージのある半田結合に起因する高抵抗欠陥を発見する簡単な方法である。それぞれセレクトされたテストピン、または2つのテストピンの各グループに外部接続された小さなキャパシタの最大値を使用する。

### はじめに

XILINX® FG1152/FG1156 等のような BGA パッケージ内で運転中の FPGA の半田結合部にダメージを与える高抵抗を発見する原位置 SJ BIST について解説をする。

2ポートグループの SJ BIST core が設計、プログラム、シミュレート、合成されて、開発基板上の FPGA に装備される。SJ BIST core は正確に高抵抗を検出、レポートする。ここでは最初のテスト結果を報告する。初期デザインの HALT テストの実験は終了し、現在、プログラムされた FPGA を取り込むボード製作を計画している。また、Small Business Innovation Research contract award の第2期中には、Auburn 大学の高度車両電子工学センターと Defense contractor の両方で、HALT が行われる予定である。また、自動車メーカーの後援を受けて、現在ドイツの大学でも SJ BIST の評価が行われている。

### 欠陥の仕組み

熱的・機械的、または衝撃ストレス下で半田結合部[1-4]のダメージは蓄積される。そのダメージは、プラスチックやクラックとなって表面化し、最終的には半田結合部を破損させ、FPGA の動作欠陥へとつながる。Figure1 の図は、熱的・機械的ストレス下で破損、またはバンプした半田結合部である。熱的・機械的ストレスは環境や、運転中の温度暴露下での膨張差により発生すると考えられている。衝撃荷重は、輸送中、または過酷な環境下での運転によるものである。1つ、またはそれ以上の半田ボール=バンプにクラックが生じても、ダメージのあるバンプに属する半田結合ネットワークがすぐに重大な故障を生じるとは限らない。なぜなら BGA パッケージの他のソルダーボールが無傷で残っており、亀裂面では、電気的接触を維持するようパッケージをボードに押し付ける傾向があるからだ。[4-6]

しかし機械振動や衝撃が続くと、クラックしたバンプが開口しやすくなり、原因を特定しにくい高抵抗欠陥を引き起こす。100、300、500、1000 は、閾値レベル[1、7-10]として使用されてきた。- 数百ナノ秒間、もしくはそれ以下から 1 マイクロ秒間持続[1,5,10]

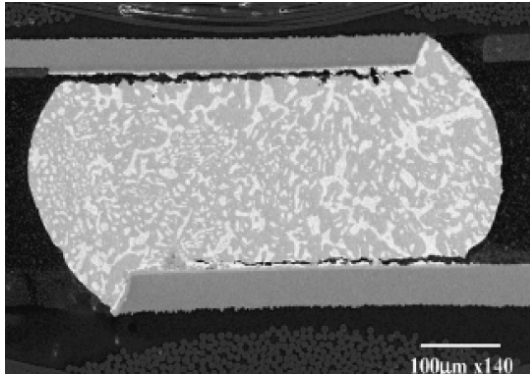


Figure1: 半田結合部の上部と下部のクラック伝搬  
15mm BGA[2]

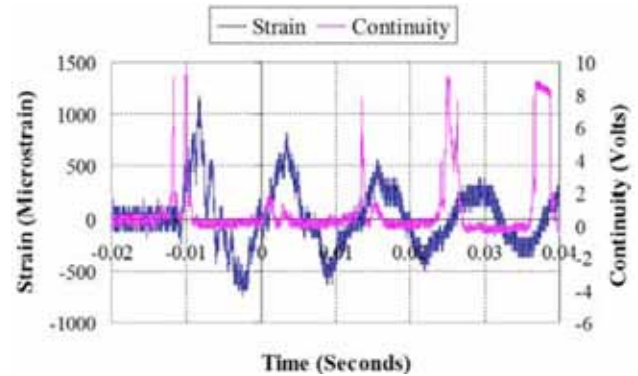
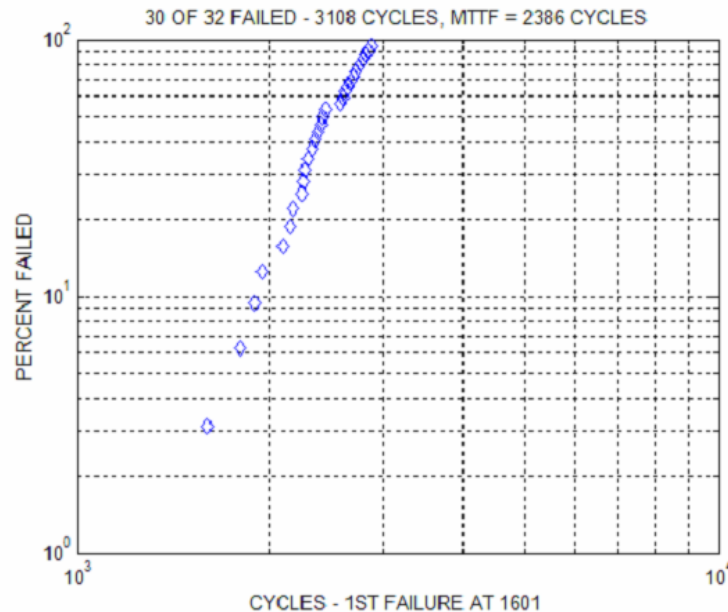


Figure2: 衝撃による欠陥: 過渡的ストレインと抵抗  
(Transient Strain and Resistance)

BGA パッケージの記録から分かるように、高抵抗現象が重なった時のみ、これらの偶発欠陥の発生頻度は増す:高抵抗がある一定の時間内に何き、2-10 の高抵抗があったとする。この一定の時間とは最初の高抵抗のサイクル数の 10%とする。[8-10] しかしこの場合でも、半田結合部での高抵抗による偶発欠陥が、動作に問題を引き起こす可能性は低い。例えば、高抵抗欠陥がグランド、または電源接続部分で発生した場合、動作に問題は起こらないであろう。度か続いたとする(例えば最初の高抵抗に引き続いた、ネットワークが記録されていない間に高抵抗が発生したり、時間が短すぎてエラー信号が反応しない場合等も考えられる。Figure2 はパッケージインターコネクトの衝撃による偶発 OPEN=高抵抗を示している。

Figure3 は XILINX FG1156 Daisy Chain package で行われた HALT テストの結果である。これは 3108 サイクルを含むテスト期間中に欠陥を示した、32 個中の 30 個のテストパッケージを示している。HALT のそれぞれの温度サイクルは-55 から 125 に、3 分間上昇させ、12 分間停止、を 30 分間行った。FPGA 欠陥(ダイヤモンド部分)のそれぞれの記録が、少なくとも 30 回の高抵抗を表しているとはすぐには分からない。1 FAIL は 1 回の温度サイクル中に、少なくとも 2 つの OPEN(500 オーム以上のネット抵抗)があったと定義された。1 回の温度サイクル中の 1 欠陥は欠陥としてカウントされなかった。

Figure3: XILINX FPGA HALT テスト結果



### FPGA I/O ポートの最大ストレス位置

BGA パッケージの端に近い、特に、BGA パッケージの 4 隅のひとつに一番近い FPGA の I/O ポートは、熱的・機械的ストレスの影響を最も受ける。[11-14] によって、XILINK FG1156 のコーナー I/O 半田結合部は使用されないか、補助のアース接続として使用されている。つまり、最初に欠陥を起こす可能性が最も高い、BGA パッケージの外縁の、4 隅のうちの一つに一番近いこれらの I/O ポートが SJ BIST テストに最適であるという事だ。

### 最新技術

ここまで予測電子工学における、最先端の欠陥表示法について述べてきた。[11-14] 原位置 SJ BIST を使用する最も重要な理由の一つは、規模が計りにくく、まして追跡が不可能なストレスによって、不正確な耐用年数を導き出してしまう事を避ける為である。[15] その他の理由としては、ダメージを受けた特定の半田結合ポートが FPGA の動作欠陥に直結しないかも知れないが、このダメージは、他の I/O ポートもダメージを受けている可能性が高い。つまり、その FPGA の信頼性はないという事である。SJ BIST はまた、品質テストの際 PCB-FPGA アセンブリによる欠陥モードを発見できないという懸念に対処する為の、新しい製造信頼性試験にも適応できる。

この新技術が開発されるまで、動作中の、完全にプログラムされた FPGA の欠陥検出は不可能であった。そして FPGA は HALT のような製造信頼性試験で使用される典型的な測定方法には使用されていない。なぜなら、そのような測定方法ではデバイスのスイッチを切らねばならない上に、Figure4 からわかるように、FPGA の I/O ポートはアナログではなくデジタルだからだ。

ファインピッチ XILINX FG1156 のような新しい BGA FPGA は 1000 以上の I/O ポートを備え、そのピ

ッチとボールサイズは非常に小さい。例えば、FG1156 はわずか 0.60mm の半田ボールが 1.0mm の間隔で 34 x 34 並んでいる。(Figure5 参照)これにより、物理的な検査技術が有効でなくなってしまう。

### SJ BIST 技術

SJ BIST では小さなキャパシタを、できるだけパッケージの端に近い、使用されていない I/O ポートに接続する。SJ BIST はキャパシタをチャージする為に logical 1 を書き込み、そしてそのチャージされたキャパシタの電圧を読み込む。半田結合部がダメージを受けていなければ、書き込みによってキャパシタは完全にチャージされ、SJ BIST は logical 1 を読み込む。半田結合部がかなりのダメージを受けていた場合、時定数で大きくなり、キャパシタは十分にチャージされず、SJ BIST は logical 1 の代わりに logical 0 を読み込み、フェイルがあるとレポートする。

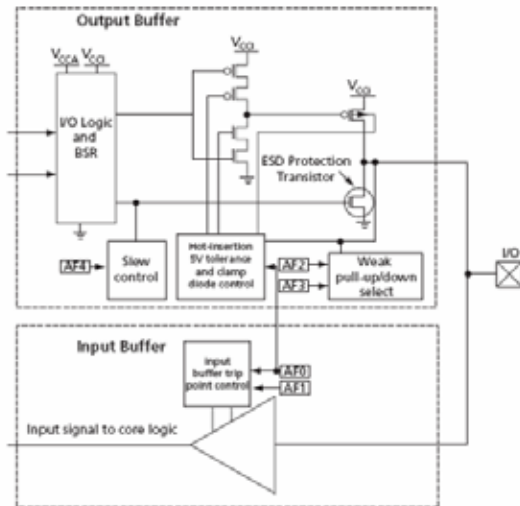


Figure4: FPGA I/O Buffer [16]の底面部

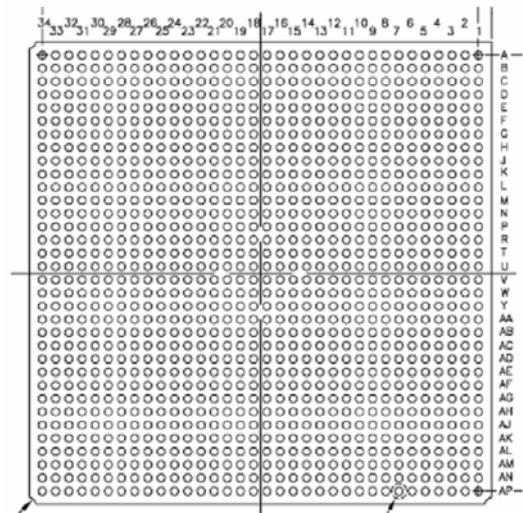


Figure5: XILINX FG1156 の底面部  
パッケージサイズ 35 x 35mm  
半田ボール直径 0.6mm.0mm  
間隔 1.0mm/34 x 34 列[17]

### BIST レポート

SJ BIST のレポートには 2 種ある。半田結合部のダメージはないというものと、もうひとつは半田結合部にダメージがあり、I/O シグナルにエラー (=欠陥) を引き起こす可能性があるというものである。

### ダメージを受けていない半田結合部

Figure6 の上の写真は、テスト用にセレクトされた2つの I/O ポートに接続された 1.0 $\mu$ F キャパシタ (1.0uF capacitor)を通過する通常のシグナルである。このキャパシタを通過するシグナルは、1s と 0s を書き込んでいる SJ BIST によって生じる。キャパシタにチャージされた電圧は 2 番目の I/O ポートから読み込まれる。SJ BIST はその後、2 番目の I/O ポートを通して 1 と 0 を同じキャパシタに書き込み、1 番目の I/O ポートを通してチャージを読み込む。

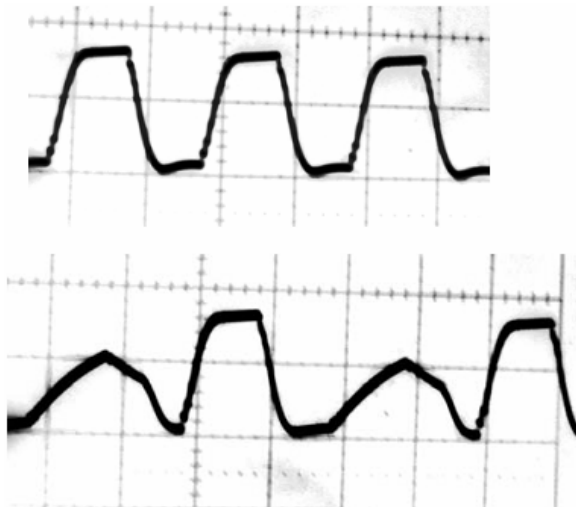


Figure6: Figure 6: Solder Joint BIST Input 1MHz  
Clock: Signal Across Capacitance: Normal  
Resistance of <1 Ohm (top) and Resistance of 100 Ohm (bottom): 2  $\mu$ s x 2.0V Grid

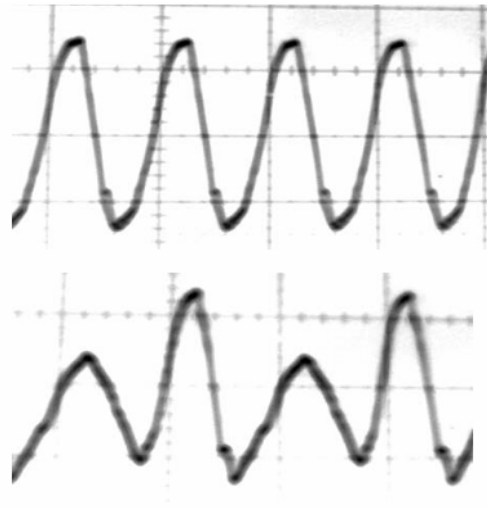


Figure7: Solder-Joint BIST Input 10MHz  
Clock: Signal Across Capacitance: Normal  
Resistance of <1 Ohm (top) and Resistance of 100 Ohm (bottom): 2  $\mu$ s x 2.0V Grid

### ダメージを受けた半田結合部

Figure7と Figure6 下側のオシロスコープ写真から分かるように、I/O ポート内の高抵抗欠陥はキャパシタが完全にチャージされるのを妨げる。ネットワーク抵抗の増加により、読み込み時のキャパシタのチャージ電圧は 3.3V ではなく、1.0V 以下になっている。これは logical 1 ではなく、logical 0、つまり欠陥である。SJ BIST はこれを検知する。

両方の I/O ポートで欠陥が起こった場合、SJ BIST が 0 を書き込んでいる間に、キャパシタが完全にディスチャージされない可能性がある。SJ BIST はこの状態を特別なロジックを使って検知し、通常の読み込み・書き込みロジックを再開する前に、キャパシタをディスチャージできるよう引き続き 0 を書き込む。

## SJ BIST: 故障評価

SJ BIST は以下の条件下で正確に動作する事が証明されている。

- (1) O ポート 1 に 1 を書き込み中の欠陥
- (2) I/O ポート 2 に 1 を書き込み中の欠陥

また、100kHz, 1MHz, 10MHz and 20MHz で誤警報なく ( with no false alarms ) 正確に動作する。  
Figure6 は 1MHz でのテスト結果、Figure7 は 20MHz でのテスト結果である。

## SJ BIST のシグナル

SJ BIST は最低 1 つのエラーシグナルを外部 FPGA の I/O ポートか内部欠陥管理プログラムのどちらかに出さなければいけない。評価と調査の為に、SJ BIST core は 2 つのエラーシグナルと欠陥数を提供する。また、SJ BIST は最低限、1 つのコントロールシグナル=enable (disable) BIST を受信しなければならない。

### エラーシグナルと欠陥数

欠陥数を記録するのに加えて、ここで紹介している SJ BIST core は 2 つのエラーシグナルを出す。  
(1) テスト中の 2 ポートネットワークに少なくとも 1 つの欠陥が発見された場合 (2) 少なくとも 1 つの欠陥がある場合欠陥数は研究評価の為に提供される。デプロイされた SJ BIST では、ほとんどのアプリケーションが 2 つのエラーシグナルのみを使うと予想される。デプロイされた SJ BIST アプリケーションでは、少なくとも FPGA のそれぞれのコーナーに、コアの 4 グループが使用されると考えられる。

### コントロールシグナル

CLK に加え、SJ BIST core には“ENABLE”と“RESET”の 2 つの入力コントロールシグナルがある。“ENABLE”は SJ BIST のオン・オフの切り替えに、“RESET”は欠陥シグナルラッチと欠陥カウンターのリセットを行う際に使用する。

### 欠陥: 期間、検出、ポート数

現在、我々は 2 つの SJ BIST core の設計と開発に焦点を当てている。2 ポートと 1 ポートの SJ BIST である。1 つ、または 2 つ以上の I/O ポートをテストするには、複数の SJ BIST を展開状態の FPGA に使用するべきだと考えているからである。

それぞれの SJ BIST core にはゲート数、外部接続されたキャパシタ数、電力の消散、“確実な”検出の為に欠陥最低期間等に関してメリットとデメリットがある。

### 欠陥期間と検出: 2 ポート SJ BIST Core

Figure6 から、シグナルシーケンスは読み取り/書き込み 10 (test I/O port 1)、読み取り/書き込み 10 (test I/O port 2) の配列を繰り返し続けている事が分かる。パラレルロジックはキャパシタが

正しく書き込まれているかチェックしている。このシーケンスは終了するのに 2 クロックかかる。これは以下の事を意味する。(1) “確実な”検出の為に最低 2 クロックピリオドの持続が必要 (2) ピンに対する読み取り/書き込み 1 か、0 シーケンスから始まった欠陥で、1.5 クロックピリオド持続する場合、検出は可能である。20MHz CLK の FPGA に対する確実な検出時間は 100ns である。

BGA パッケージのそれぞれのコーナーの 8 つの I/O ポート、2 つの I/O ポートをテストする為に 4 つの 2 ポート SJ BIST core が使用され、エラー信号は共に ORed となる

## 結論

この論文で、BGA パッケージの FPGA の半田接続部に関する欠陥の物理的概要を述べてきた。疲労損傷の主な原因は CTE ミスマッチに関係する熱的・機械的なストレス、衝撃や振動、電源のオン・オフの繰り返し等である。半田接続部の疲労損傷は、原因の特定が難しい偶発的な高抵抗スパイクを引き起こす亀裂を生じる。信頼性の高いテストではしばしば、100 のスパイク、または 100 ナノ秒以下から 1 マイクロ秒、もしくはそれ以上続く事を OPEN(欠陥)としている。

画期的な SJ BIST がこの論文で発表されるまで、動作中の、完全にプログラムされた FPGA に属する半田結合ネットワークの高抵抗欠陥検出は不可能であった。

動作中の FPGA で使用できる原位置 SJ BIST は便利である。ストレスの大きさは計り難い為、正確な推定耐用年数を導き出せなくなってしまう。また、ダメージを受けた特定の半田結合ポートが FPGA の動作欠陥に直結しないかも知れないが、このダメージは FPGA がもはや信頼できないという事を示している。原位置 SJ BIST は、PCB-FPGA アセンブリの欠陥モードを調査する為の新しい製造信頼性試験にも適応可能である。

2 つの SJ BIST cores がある。1 ポート SJ BIST と、2 ポート SJ BIST がある。2 ポート SJ BIST はプログラム、シミュレート、合成されて開発基板 の FPGA に装備、研究室でテストを行った。その結果、SJ BIST core が正確に高レジスタンス(100 以上)を検出、レポートする事が証明された。また、ネットワーク抵抗が 1.0 以下の場合、エラーは全くない事も分かった。

## REFERENCES

- [1]. Accelerated Reliability Task IPC-SM-785, SMT Force Group Standard, Product Reliability Committee of the IPC, Published by Analysis Tech., Inc., 2005, [www.analysis-tech.com/event-tech-IPC-SM-785](http://www.analysis-tech.com/event-tech-IPC-SM-785).
- [2]. P. Lall, M. N. Islam, N. Singh, J. C. Suhling, and R. Darveaux, "Model for BGA and CSP reliability in automotive underhood applications," *IEEE Trans. Comp. and Pack. Tech.*, vol. 27, no. 3, Sep. 2004, pp. 585-593.
- [3]. R. Gannamani, V. Valluri, Sidharth and M-L. Zhang, "Reliability evaluation of chip scale packages," Advanced Micro Devices, Sunnyvale, CA, in Daisy Chain Samples, App. Note, *Spansion*, Jul. 2003, pp. 4-9.
- [4]. *Sony Semiconductor Quality and Reliability Handbook*, Revised May 2001, vol. 2, pp. 66-67, vol. 4, pp. 120-129, <http://www.sony.net/products/SCHP/tec/catalog>.
- [5]. Use Condition Based Reliability Evaluation: An Example Applied to Ball Grid Array (BGA ) Packages, SEMATECH Technology Transfer #99083813A-XFR, International SEMATECH, 1999, pg. 6.
- [6]. Comparison of Ball Grid Array (BGA ) Component and Assembly Level Qualification Tests and Failure Modes, SEMATECH Technology Transfer #00053957A-XFR, International SEMATECH, May 31, 2000, pp. 1-4.
- [7]. R. Roergren, P-E. Teghall, and P. Carlsson, "Reliability of BGA packages in an automotive environment," IVF-The Swedish Institute of Production Engineering Research, Moelndal, Sweden, accessed Dec. 25, 2005, <http://www.ivf.se>.
- [8]. D. E. Hodges Popp, A. Mawer, and G. Presas, "Flip chip PBGA solder joint reliability: power cycling versus thermal cycling," Motorola Semiconductor Products Sector, Austin, TX, Dec. 19, 2005.
- [9]. The Reliability Report, XILINX, Sep. 1, 2003, pp. 225-229, [xgoogle.xilinx.com](http://xgoogle.xilinx.com).
- [10]. J-P. Clech, D. M. Noctor, J. C. Manock, G. W. Lynott, and F. E. Bader, "Surface mount assembly failure statistics and failure-free times," in *Proc.*, 44<sup>th</sup> ECTC, Washington, D.C., May 1-4, 1994, pp. 487-497.
- [11]. P. Lall, P. Choudhary, and S. Gupte, "Health monitoring for damage initiation & progression during mechanical shock in electronic assemblies," *Proc. 56<sup>th</sup> IEEE Electronic Components and Technology Conf.*, San Diego, CA, May 30-Jun. 2, 2006, pp. 85-94.
- [12]. P. Lall, M. Hande, M. N. Singh, J. Suhling and J. Lee, "Feature extraction and damage data for prognostication of leaded and leadfree electronics," *Proc. 56<sup>th</sup> IEEE Electronic Components and Technology Conf.*, San Diego, CA, May 30-Jun. 2, 2006, pp.718-727.
- [13]. P. Lall, N. Islam and J. Suhling, "Leading indicators of failure for prognostication of leaded and lead-free electronics in harsh environments," *Proc. ASME InterPACK Conf.*, San Francisco, CA, Jul. 17-22, 2005, Paper IPACK2005-73426, pp. 1-9.
- [14]. P. Lall, M. N. Islam, K. Rahim, and J. Suhling, "Prognostics and health management of electronic packaging," Accepted for publication in *IEEE Trans. on Components and Packaging Technologies*, Paper available in digital format on IEEE Explore, Mar. 2005, pp. 1-12.
- [15]. P. Lall, "Challenges in accelerated life testing," *Inter Society Conf., Thermal Phenomena*, 2004, pg. 727.
- [16]. FPGA I/O Buffer shown was taken from documentation for Altera FPGA development kit, May, 2006.
- [17]. XILINX Fine-Pitch BGA (FG1156/FGG1156 ) Package, PK039 (v1.2 ) , Jun. 25, 2004.